

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Hideaki AOCHI
U.S. Serial No. : Not Yet Assigned
Filing Date : October 31, 2003
For : ***SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE
INCORPORATING MEMORY CELL TRANSISTOR AND
LOGIC TRANSISTOR, AND METHOD OF
MANUFACTURING THE SAME***
Group Art Unit : Not Yet Assigned

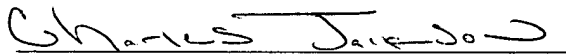
745 Fifth Avenue
New York, New York 10151


EXPRESS MAIL

Mailing Label Number: EV206803010US

Date of Deposit: October 31, 2003

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" Service under 37 CFR 1.10 on the date indicated above and is addressed to: **Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**


(Typed or printed name of person mailing paper or fee)


(Signature of person mailing paper or fee)

CLAIM OF PRIORITY

Mail Stop Patent Application
Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

Sir:

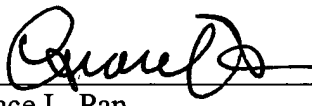
Applicant hereby claims priority under 35 U.S.C. §§119 and/or 120, from Japanese Application No. 2003-120098 filed April 24, 2003, a certified copy of which is enclosed.

Acknowledgment of the claim of priority and of the receipt of said certified copy
is respectfully requested.

Please charge any additional fees required for the filing of this document or credit
any overpayment to Deposit Account No. 50-0320.

Respectfully submitted,

FROMMER LAWRENCE & HAUG LLP
Attorneys for Applicant

By: 
Grace L. Pan
Registration No. 39,440
Tel. (212) 588-0800
Fax (212) 588-0500

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 4月24日

出 願 番 号
Application Number:

特願2003-120098

[ST.10/C]:

[JP 2003-120098]

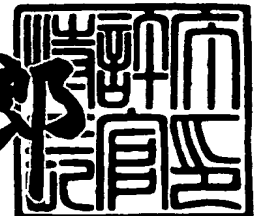
出 願 人
Applicant(s):

株式会社東芝

2003年 5月23日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3038210

【書類名】 特許願

【整理番号】 A000204434

【提出日】 平成15年 4月24日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/10

【発明の名称】 半導体集積回路及びその製造方法

【請求項の数】 13

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

【氏名】 青地 英明

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路及びその製造方法

【特許請求の範囲】

【請求項 1】 シリコン半導体からなる第 1 の領域及び第 2 の領域それぞれにゲート絶縁膜、シリコンからなる導電体膜、及びシリコン窒化膜に対して選択的にエッチングが可能な部材からなるキャップ絶縁膜を順次形成し、

上記キャップ絶縁膜及び導電体膜からなる積層膜をパターンニングして、上記第 1 の領域及び上記第 2 の領域それぞれに上記導電体膜からなるゲート電極を形成し、

上記積層膜を不純物導入用のマスクとして用いて不純物を選択的に導入することで、上記第 1 の領域及び第 2 の領域それぞれにソース、ドレインとなる拡散領域を形成し、

上記各積層膜の側壁上に第 1 のシリコン窒化膜を形成し、

全面に第 2 のシリコン窒化膜を形成し、

全面に第 1 の絶縁膜を堆積した後、上記第 1 の領域の各ゲート電極相互間に上記第 1 の絶縁膜を残し、

上記第 2 の領域に第 2 の絶縁膜を堆積した後、第 2 の領域の各積層膜の側壁上に上記第 2 の絶縁膜を残し、

上記各積層膜上の第 2 のシリコン窒化膜及び上記第 2 の領域の表面上に残っている上記第 2 のシリコン窒化膜を剥離し、

上記各ゲート電極の上部に残っている上記キャップ絶縁膜を除去し、

上記各ゲート電極の上記導電体膜の表面に金属シリサイド膜を形成すると共に上記第 2 の領域に形成された拡散領域の各表面に金属シリサイド膜を形成し、

全面に第 3 のシリコン窒化膜を堆積した後、この第 3 のシリコン窒化膜を上記各ゲート電極上に残す

ことを特徴とする半導体集積回路の製造方法。

【請求項 2】 前記ゲート電極を形成する際に、前記第 2 の領域に形成されるゲート電極相互の間隔が前記第 1 の領域に形成されるゲート電極相互の間隔よりも広くなるように形成すること特徴とする請求項 1 記載の半導体集積回路の製

造方法。

【請求項 3】 前記第 3 のシリコン窒化膜を前記各ゲート電極上に残した後に、

全面に第 3 の絶縁膜を堆積した後、平坦化し、

上記第 3 の絶縁膜を選択的にエッチングして前記第 2 の領域の前記拡散領域の表面を露出させ、

表面が露出した前記拡散領域に接続されるようにコンタクト電極を形成することを特徴とする請求項 1 記載の半導体集積回路の製造方法。

【請求項 4】 前記ゲート絶縁膜、導電体膜、及びキャップ絶縁膜を順次形成する前に、

前記第 1 の領域にトレンチキャパシタを形成することを特徴とする請求項 1 記載の半導体集積回路の製造方法。

【請求項 5】 前記シリコンからなる導電体膜が、不純物が導入されたポリシリコン膜であることを特徴とする請求項 1 記載の半導体集積回路の製造方法。

【請求項 6】 前記キャップ絶縁膜が化学的気相成長法によって形成されるシリコン酸化膜であることを特徴とする請求項 1 記載の半導体集積回路の製造方法。

【請求項 7】 前記第 2 のシリコン窒化膜が化学的気相成長法によって形成されることを特徴とする請求項 1 記載の半導体集積回路の製造方法。

【請求項 8】 前記第 1 の絶縁膜が化学的気相成長法によって形成されるシリコン酸化膜であることを特徴とする請求項 1 記載の半導体集積回路の製造方法。

【請求項 9】 前記第 1 の領域の各ゲート電極相互間に前記第 1 の絶縁膜を残す際に、前記第 1 の絶縁膜は反応性イオンエッチング技術によりエッチバックされることを特徴とする請求項 1 記載の半導体集積回路の製造方法。

【請求項 10】 前記第 1 の領域は半導体基板上に設けられた p 型のウエル領域であり、前記第 2 の領域は上記半導体基板上に設けられた p 型及び n 型のウエル領域を含むことを特徴とする請求項 1 記載の半導体集積回路の製造方法。

【請求項 11】 シリコン半導体からなる第 1 の領域上にそれぞれゲート絶

縁膜を介して設けられたシリコン導電体膜からなる一対の第 1 のゲート電極と、

上記一対の第 1 のゲート電極相互間の上記第 1 の領域に設けられた第 1 の拡散領域と、

上記一対の第 1 のゲート電極の上部表面にそれぞれ設けられた第 1 の金属シリサイド膜と、

上記一対の第 1 のゲート電極上にそれぞれ設けられた第 1 のシリコン窒化膜と、

上記一対の第 1 のゲート電極及び第 1 のシリコン窒化膜からなる積層膜の側壁上にそれぞれ設けられた第 2 のシリコン窒化膜と、

上記一対の第 1 のゲート電極相互間に位置する平坦部分では上記第 1 の拡散領域が露出するように上記第 2 のシリコン窒化膜上に設けられた第 3 のシリコン窒化膜と、

上記一対の第 1 のゲート電極相互間に設けられ、上記拡散領域と電氣的に接続される自己整合コンタクトと、

シリコン半導体からなる第 2 の領域上にゲート絶縁膜を介して形成されたシリコン導電体膜からなる第 2 のゲート電極と、

上記第 2 のゲート電極の両側面に位置する上記第 2 の領域に形成された一対の第 2 の拡散領域と、

上記第 2 のゲート電極の上部表面に形成された第 2 の金属シリサイド膜と、

上記第 2 のゲート電極上に設けられた第 4 のシリコン窒化膜と、

上記第 2 のゲート電極及び上記第 4 のシリコン窒化膜からなる積層膜の側壁上に設けられた第 5 のシリコン窒化膜と、

上記一対の第 2 の拡散領域表面の一部上に延在するように上記第 5 のシリコン窒化膜上に設けられた第 6 のシリコン窒化膜と、

上記第 6 のシリコン窒化膜によって覆われていない上記一対の第 2 の拡散領域の表面にそれぞれ設けられた第 3 の金属シリサイド膜と、

上記第 6 のシリコン窒化膜上に設けられた絶縁膜と、

上記絶縁膜上に設けられた第 7 のシリコン窒化膜

とを具備したことを特徴とする半導体集積回路。

【請求項12】 前記第1の領域にはトレンチキャパシタが形成されていることを特徴とする請求項11記載の半導体集積回路。

【請求項13】 前記シリコン導電体膜が、不純物が導入されたポリシリコン膜であることを特徴とする請求項11記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体集積回路及びその製造方法に係り、特にメモリセルトランジスタとロジック用トランジスタとが同一半導体基板上に集積されたDRAM混載半導体集積回路及びその製造方法に関する。

【0002】

【従来の技術】

一般にDRAM混載半導体集積回路では、サリサイド (Self-Aligned Silicidation) プロセスによってゲート電極上に金属シリサイドが形成される。このため、ゲート電極上にシリコン窒化膜などのキャップ絶縁膜を形成することができず、メモリセルトランジスタのゲート電極に対して自己整合的にコンタクトを形成するセルフアラインコンタクトが使用できないという不都合がある。

【0003】

そこで、従来では、ロジック用トランジスタのソース及びドレイン上、ゲート電極上、メモリセルトランジスタのゲート電極上にそれぞれ金属シリサイドを形成して動作の高速化を図ると共に、メモリセルトランジスタ相互間にサイドウォール絶縁膜を形成することで、メモリセルトランジスタのゲート電極に対して自己整合的にコンタクトを形成するようにしたDRAM混載半導体集積回路が例えば特許文献1に記載されている。

【0004】

【特許文献1】

特開2000-232076号公報

【0005】

【非特許文献1】

【 0 0 0 6 】

【発明が解決しようとする課題】

しながら、上記特許文献 1 に記載されているものは、メモリセルトランジスタとロジック用トランジスタのゲート加工がそれぞれ別に行われるので、製造工程が複雑になるという不都合がある。

【 0 0 0 7 】

この発明は上記のような事情を考慮してなされたものであり、その目的は、ロジック用トランジスタのソース及びドレイン上、ゲート電極上、メモリセルトランジスタのゲート電極上にそれぞれ金属シリサイドを形成することで動作の高速化を図ることができると共に、メモリセルトランジスタのゲート電極に対して自己整合的にコンタクトを形成することができ、かつロジック用トランジスタとメモリセルトランジスタのゲート加工を同時に行うことで製造工程の削減を図ることができる半導体集積回路及びその製造方法を提供することである。

【 0 0 0 8 】

【課題を解決するための手段】

この発明の半導体集積回路の製造方法では、シリコン半導体からなる第 1 の領域及び第 2 の領域それぞれにゲート絶縁膜、シリコンからなる導電体膜、及びシリコン窒化膜に対して選択的にエッチングが可能な部材からなるキャップ絶縁膜を順次形成し、上記キャップ絶縁膜及び導電体膜からなる積層膜をパターニングして、上記第 1 の領域及び上記第 2 の領域それぞれに上記導電体膜からなるゲート電極を形成し、上記積層膜を不純物導入用のマスクとして用いて不純物を選択的に導入することで、上記第 1 の領域及び第 2 の領域それぞれにソース、ドレインとなる拡散領域を形成し、上記各積層膜の側壁上に第 1 のシリコン窒化膜を形成し、全面に第 2 のシリコン窒化膜を形成し、全面に第 1 の絶縁膜を堆積した後、上記第 1 の領域の各ゲート電極相互間に上記第 1 の絶縁膜を残し、上記第 2 の領域に第 2 の絶縁膜を堆積した後、第 2 の領域の各積層膜の側壁上に上記第 2 の絶縁膜を残し、上記各積層膜上の第 2 のシリコン窒化膜及び上記第 2 の領域の表面上に残っている上記第 2 のシリコン窒化膜を剥離し、上記各ゲート電極の上部に残っている上記キャップ絶縁膜を除去し、上記各ゲート電極の上記導電体膜の

表面に金属シリサイド膜を形成すると共に上記第2の領域に形成された拡散領域の各表面に金属シリサイド膜を形成し、全面に第3のシリコン窒化膜を堆積した後、この第3のシリコン窒化膜を上記各ゲート電極上に残すようにしている。

【0009】

この発明の半導体集積回路は、シリコン半導体からなる第1の領域上にそれぞれゲート絶縁膜を介して設けられたシリコン導電体膜からなる一对の第1のゲート電極と、上記一对の第1のゲート電極相互間の上記第1の領域に設けられた第1の拡散領域と、上記一对の第1のゲート電極の上部表面にそれぞれ設けられた第1の金属シリサイド膜と、上記一对の第1のゲート電極上にそれぞれ設けられた第1のシリコン窒化膜と、上記一对の第1のゲート電極及び第1のシリコン窒化膜からなる積層膜の側壁上にそれぞれ設けられた第2のシリコン窒化膜と、上記一对の第1のゲート電極相互間に位置する平坦部分では上記第1の拡散領域が露出するように上記第2のシリコン窒化膜上に設けられた第3のシリコン窒化膜と、上記一对の第1のゲート電極相互間に設けられ、上記拡散領域と電氣的に接続される自己整合コンタクトと、シリコン半導体からなる第2の領域上にゲート絶縁膜を介して形成されたシリコン導電体膜からなる第2のゲート電極と、上記第2のゲート電極の両側面に位置する上記第2の領域に形成された一对の第2の拡散領域と、上記第2のゲート電極の上部表面に形成された第2の金属シリサイド膜と、上記第2のゲート電極上に設けられた第4のシリコン窒化膜と、上記第2のゲート電極及び上記第4のシリコン窒化膜からなる積層膜の側壁上に設けられた第5のシリコン窒化膜と、上記一对の第2の拡散領域表面の一部上に延在するように上記第5のシリコン窒化膜上に設けられた第6のシリコン窒化膜と、上記第6のシリコン窒化膜によって覆われていない上記一对の第2の拡散領域の表面にそれぞれ設けられた第3の金属シリサイド膜と、上記第6のシリコン窒化膜上に設けられた絶縁膜と、上記絶縁膜上に設けられた第7のシリコン窒化膜を具備する。

【0010】

【発明の実施の形態】

以下、図面を参照してこの発明の実施の形態を詳細に説明する。

【0011】

図1ないし図9は、この発明をDRAMメモリセルとPチャネル及びNチャネルのトランジスタからなるロジック用トランジスタとを同一半導体基板上に集積したDRAM混載半導体集積回路に実施した場合の製造工程を順次示す断面図である。

【0012】

なお、各図に渡り、(a)はDRAMメモリセルが形成される領域(第1の領域)を示し、(b)はロジック用トランジスタが形成される領域(第2の領域)を示し、かつ第2の領域の左側にはNチャネルのトランジスタが、右側にはPチャネルのトランジスタがそれぞれ形成される場合を示している。

【0013】

まず、図1(a)、(b)に示すように、第1の領域ではシリコン半導体基板にp型のウエル領域(p-well)11が形成され、第2の領域ではシリコン半導体基板にp型のウエル領域(p-well)12とn型のウエル領域(n-well)13とが形成される。

【0014】

次に、周知の方法によって第1の領域に複数のトレンチキャパシタ14が所定の間隔で形成されると共に、第1、第2の領域にSTI(Shallow Trench Isolation)からなる素子分離領域15が形成される。

【0015】

トレンチキャパシタ14は以下のような方法で形成される。選択エッチング技術により、p型のウエル領域11に深いトレンチ16が形成される。そして、このトレンチ16の内部から、p型のウエル領域11に対してN型の不純物が拡散されて、N+型の埋め込みプレート17が形成される。トレンチ16の内部表面上にキャパシタ用の誘電体膜18が形成される。この誘電体膜18として、例えばシリコン酸化膜とシリコン窒化膜とからなるいわゆるON膜が使用される。次にN型の不純物がドーパされたポリシリコン膜19がトレンチ16の中程まで埋め込まれる。さらにトレンチ16の上部の周面上にカラーオキサイドと称されるシリコン酸化膜20が形成される。n型の不純物がドーパされたポリシリコン膜

21がトレンチ16の上部付近まで埋め込まれる。その後、STI用の浅いトレンチ22が形成され、トレンチ22内部に絶縁膜23が埋め込まれることで素子分離領域15が形成される。上記トレンチ22が形成される際に、第2の領域でも同時に浅いトレンチが形成され、その後、トレンチ内に絶縁膜が埋め込まれることで素子分離領域15が形成される。

【0016】

次に、図2(a)、(b)に示すように、熱酸化法によりゲート酸化膜24が全面に形成され、その後、不純物が導入されたポリシリコン膜が例えば100nmの膜厚で堆積され、その上に熱酸化膜及びCVD(Chemical Vapor Deposition: 化学的気相成長法)シリコン酸化膜26、及びシリコン窒化膜に対して選択的にエッチングが可能な部材、例えばシリコン酸化膜からなるキャップ絶縁膜27が順次堆積されて積層膜が形成される。続いて、レジストパターンを用いたRIE(Reactive Ion Etching)により上記積層膜がパターニングされ、第1、第2の領域にポリシリコン膜からなるゲート電極25が形成される。

【0017】

ここで、ゲート電極25を形成する際に、第2の領域に形成されるゲート電極相互の間隔が、第1の領域に形成されるゲート電極相互の間隔よりも広くなるように形成される。

【0018】

次に、図3(a)、(b)に示すように、パターニングされた積層膜の側壁の酸化が行われ、続いてCVD法によって全面にシリコン窒化膜が堆積された後、RIEによるエッチバックが行なわれ、積層膜の側壁にシリコン窒化膜からなるスペーサ28が残される。この後、上記積層膜を不純物導入用のマスクとして用いて不純物が選択的に導入されることで、第1の領域及び第2の領域それぞれにトランジスタのソース、ドレインとなる拡散領域が形成される。例えば、第1の領域ではn型の不純物、例えばリンが導入されることでN型の拡散領域29が形成され、第2の領域の左側の部分でもn型の不純物が導入されることでN型の拡散領域30が形成される。このとき、第2の領域のn型のウエル領域13では全面が保護膜、例えばレジスト膜で覆われる。第2の領域のn型のウエル領域13

の部分では p 型の不純物、例えば硼素が選択的に導入されることで P 型の拡散領域 3 1 が形成される。このとき、第 1 の領域全面及び n 型のウエル領域 1 3 の全面が保護膜、例えばレジスト膜で覆われる。

【 0 0 1 9 】

また、これまでの熱処理により、トレンチキャパシタ 1 4 のポリシリコン膜 2 1 にドーパされていた n 型の不純物が p 型のウエル領域 1 1 に拡散されて拡散領域 3 2 が形成され、メモリセルトランジスタのソース、ドレインとなる拡散領域 2 9 と一体化される。

【 0 0 2 0 】

次に、図 4 (a) 、 (b) に示すように、CVD により全面にシリコン窒化膜 3 3 が一様の膜厚で堆積され、続いて CVD によりシリコン酸化膜 3 4 が堆積される。シリコン酸化膜 3 4 の膜厚は、図示のように第 1 の領域において各ゲート電極 2 5 相互間のスペースが十分に埋まり切るような膜厚とされる。

【 0 0 2 1 】

次に、図 5 (a) 、 (b) に示すように、RIE により、各ゲート電極 2 5 上部のシリコン窒化膜 3 3 が露出するまで上記シリコン酸化膜 3 4 がエッチングされる。このエッチングにより、第 1 の領域の各ゲート電極 2 5 相互間のスペースにはシリコン酸化膜 3 4 が残される。

【 0 0 2 2 】

続いて、第 1 の領域全面が保護膜、例えばレジスト膜で保護された後、第 2 の領域上のシリコン酸化膜 3 4 が HF (フッ化水素) 系の溶液によるウェットエッチングにより剥離され、続いて第 2 の領域に新たにシリコン酸化膜が CVD により堆積される。さらに RIE によってこのシリコン酸化膜がエッチバックされることで、ゲート電極 2 5 を含む積層膜の側壁上にシリコン酸化膜からなるスペーサ 3 5 が残される。スペーサ 3 5 を形成する際のエッチバックにより、シリコン窒化膜 3 3 が削られ、各ゲート電極 2 5 上のシリコン酸化膜からなるキャップ絶縁膜 2 7 の上面及び第 2 の領域における拡散領域 3 0 、 3 1 の表面が露出される。

【 0 0 2 3 】

次に、図 6 (a)、(b) に示すように、各ゲート電極 2 5 上のキャップ絶縁膜 2 7、熱酸化膜及び C V D シリコン酸化膜 2 6 が選択エッチング法により順次除去され、各ゲート電極 2 5 の表面が露出される。続いて、サリサイドプロセスが行われ、各ゲート電極 2 5 の上部表面にそれぞれ金属シリサイド膜 3 6 が形成されると共に、第 2 の領域の各拡散領域 3 0、3 1 の上部表面にもそれぞれ金属シリサイド膜 3 6 が形成される。具体的には、スパッタリングによって、シリサイドを形成するための金属、例えばコバルト膜が全面に 3 0 n m 程度の膜厚で堆積された後、5 5 0 °C 程度の熱処理が施されることで、コバルト膜に接しているシリコン上及びポリシリコン上にコバルトシリサイドが形成される。

【 0 0 2 4 】

次に、図 7 (a)、(b) に示すように、各ゲート電極 2 5 相互間のスペースが埋まり切るように、C V D によりシリコン窒化膜 3 7 が堆積される。続いて、図 8 (a)、(b) に示すように、R I E によってシリコン窒化膜 3 7 がエッチバックされ、第 1 の領域では各ゲート電極 2 5 上に自己整合的にシリコン窒化膜 3 7 が残される。また、第 2 の領域では各ゲート電極 2 5 の側壁上にシリコン窒化膜 3 7 が残される。なお、シリコン窒化膜 3 7 の堆積及びエッチングの際に、金属シリサイド膜 3 6 が凝集を起こさないような低温で処理する必要がある。

【 0 0 2 5 】

この後、図 9 (a)、(b) に示すように、全面にシリコン酸化膜からなる層間絶縁膜 3 8 が堆積され、シリコン酸化膜がエッチングされる条件による選択エッチング技術により、層間絶縁膜 3 8 に対してコンタクトホールが開口され、コンタクト（接続電極）が形成される。

【 0 0 2 6 】

具体的には、第 1 の領域では、層間絶縁膜 3 8 及びシリコン酸化膜 3 4 が選択エッチングされることで、互いに隣接する一対のゲート電極 2 5 相互間に位置する拡散領域 2 9 の表面に達するコンタクトホール 3 9 が開口され、その後、コンタクトホール 3 9 内部に金属、例えばタンゲステンが埋め込まれ、平坦化されることでコンタクト 4 0 が形成される。コンタクトホール 3 9 が開口される際、一対のゲート電極 2 5 の上部にはシリコン窒化膜 3 7 が存在しており、かつ一対の

ゲート電極 2 5 の側壁にはシリコン窒化膜 2 8、3 3 が存在している。これらのシリコン窒化膜 3 7、2 8、3 3 は、上記選択エッチングの際に、シリコン酸化膜に比べてエッチングされにくい。従って、シリコン窒化膜 3 7、2 8、3 3 の存在により、ゲート電極 2 5 に対して自己整合的にコンタクトホール 3 9 が開口され、コンタクト 4 0 は自己整合コンタクト (Self Aligned Contact) となる。

【 0 0 2 7 】

第 2 の領域では、層間絶縁膜 3 8 が選択エッチングされることで、各ゲート電極 2 5 の両側面に位置する拡散領域 3 0、3 1 の表面に達するコンタクトホール 4 1 が開口され、その後、コンタクトホール 4 1 内部にタングステンが埋め込まれ、平坦化されることでコンタクト 4 2 が形成される。

【 0 0 2 8 】

上記のようにして製造された D R A M 混載半導体集積回路では、ロジック用トランジスタのソース、ドレインとなる拡散領域 3 0、3 1 上、ゲート電極 2 5 上及びメモリセルトランジスタのゲート電極 2 5 上には、それぞれ金属シリサイド膜 3 6 が形成されている。この結果、ソース、ドレイン及びゲート電極の抵抗が低減でき、動作の高速化を図ることができる。

【 0 0 2 9 】

また、メモリセルトランジスタのゲート電極 2 5 に対して自己整合的にコンタクト 4 0 が形成されている。しかも、ロジック用トランジスタとメモリセルトランジスタのゲート加工を同時に行うので、製造工程の削減を図ることができる。

【 0 0 3 0 】

なお、図 9 (a) に示される p 型のウエル領域 1 1 には、ゲート酸化膜 (ゲート絶縁膜) 2 4 を介して設けられたシリコン導電体膜からなる一対のゲート電極 (第 1 のゲート電極) 2 5 と、この一対のゲート電極 2 5 相互間のウエル領域 1 1 に設けられた N 型の拡散領域 (第 1 の拡散領域) 2 9 と、一対のゲート電極 2 5 の上部表面にそれぞれ設けられた金属シリサイド膜 3 6 (第 1 の金属シリサイド膜) と、一対のゲート電極 2 5 上にそれぞれ設けられたシリコン窒化膜 (第 1 のシリコン窒化膜) 3 7 と、一対のゲート電極 2 5 及びシリコン窒化膜 3 7 からなる積層膜の側壁上にそれぞれ設けられたシリコン窒化膜 (第 2 のシリコン窒化

膜) 2 8 と、一対のゲート電極 2 5 相互間に位置する平坦部分では上記第 1 の拡散領域が露出するように上記シリコン窒化膜 2 8 上に設けられたシリコン窒化膜 (第 3 のシリコン窒化膜) 3 3 と、一対のゲート電極 2 5 相互間に設けられ、上記拡散領域 2 9 と電氣的に接続される自己整合コンタクト 4 0 とが形成される。

【 0 0 3 1 】

図 9 (b) に示される p 型及び n 型のウエル領域 1 2、1 3 には、ゲート酸化膜 (ゲート絶縁膜) 2 4 を介して設けられたシリコン導電体膜からなるゲート電極 (第 2 のゲート電極) 2 5 と、ゲート電極 2 5 の両側面に位置する p 型または n 型のウエル領域 1 2、1 3 に形成された一対の N 型または P 型の拡散領域 (第 2 の拡散領域) 3 0、3 1 と、ゲート電極 2 5 の上部表面に形成された金属シリサイド膜 (第 2 の金属シリサイド膜) 3 6 と、ゲート電極 2 5 上に設けられたシリコン窒化膜 (第 4 のシリコン窒化膜) 3 7 と、ゲート電極 2 5 及びシリコン窒化膜 3 7 からなる積層膜の側壁上に設けられたシリコン窒化膜 (第 5 のシリコン窒化膜) 2 8 と、拡散領域 3 0 及び 3 1 の表面の一部上に延在するようにシリコン窒化膜 2 8 上に設けられたシリコン窒化膜 (第 6 のシリコン窒化膜) 3 3 と、シリコン窒化膜 3 3 によって覆われていない拡散領域 3 0 及び 3 1 の表面にそれぞれ設けられた金属シリサイド膜 (第 3 の金属シリサイド膜) 3 6 と、シリコン窒化膜 3 3 上に設けられたシリコン酸化膜からなるスペーサ (絶縁膜) 3 5 と、スペーサ 3 5 上に設けられたシリコン窒化膜 (第 7 のシリコン窒化膜) 3 7 とが形成される。

【 0 0 3 2 】

このような構造の D R A M 混載半導体集積回路では、ロジック用トランジスタのソース、ドレインとなる拡散領域 3 0、3 1 上、ゲート電極 2 5 上及びメモリセルトランジスタのゲート電極 2 5 上に、それぞれ金属シリサイド膜 3 6 が形成されているので、ソース、ドレイン及びゲート電極の抵抗が低減でき、動作の高速化を図ることができる。

【 0 0 3 3 】

また、メモリセルトランジスタのゲート電極 2 5 に対する自己整合コンタクト 4 0 が形成される。

【 0 0 3 4 】

なお、上記実施形態では、金属シリサイド膜 3 6 としてコバルトシリサイド膜を用いる場合について説明したが、そのかわりにチタンシリサイド膜、モリブデンシリサイド膜等を用いるようにしてもよい。

【 0 0 3 5 】

また、上記実施形態では、第 1 の領域にトレンチキャパシタを形成する場合について説明したが、これはスタックキャパシタを形成するようにしてもよい。

【 0 0 3 6 】

【発明の効果】

以上説明したようにこの発明の半導体集積回路によれば、ロジック用トランジスタのソース、ドレイン上、ゲート電極上及びメモリセルトランジスタのゲート電極上に金属シリサイドが形成されるので、動作の高速化を図ることができると共に、メモリセルトランジスタのゲート電極に対する自己整合的にコンタクトを形成することができる。

【 0 0 3 7 】

さらに、この発明の半導体集積回路の製造方法によれば、ロジック用トランジスタとメモリセルトランジスタのゲート加工を同時に行うことで製造工程の削減を図ることができる。

【図面の簡単な説明】

【図 1】 この発明を D R A M 混載半導体集積回路に実施した場合の最初の製造工程を示す断面図。

【図 2】 図 1 に続く製造工程を示す断面図。

【図 3】 図 2 に続く製造工程を示す断面図。

【図 4】 図 3 に続く製造工程を示す断面図。

【図 5】 図 4 に続く製造工程を示す断面図。

【図 6】 図 5 に続く製造工程を示す断面図。

【図 7】 図 6 に続く製造工程を示す断面図。

【図 8】 図 7 に続く製造工程を示す断面図。

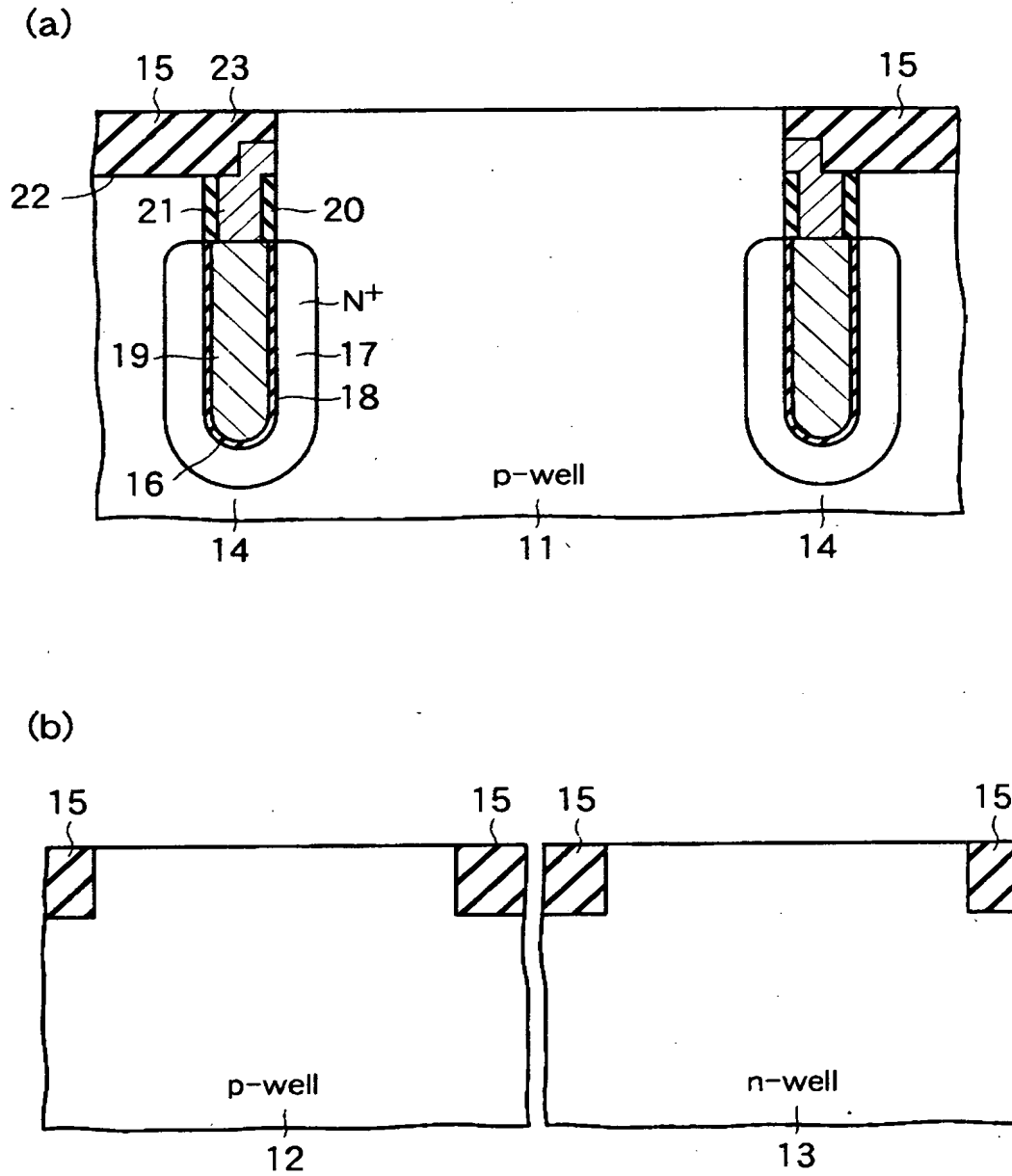
【図 9】 図 8 に続く製造工程を示す断面図。

【符号の説明】

1 1 … p 型のウエル領域 (p-well)、1 2 … p 型のウエル領域 (p-well)、1 3 … n 型のウエル領域 (n-well)、1 4 … トレンチキャパシタ、1 5 … 素子分離領域、2 4 … ゲート酸化膜、2 5 … ゲート電極、2 6 … シリコン酸化膜、2 7 … キャップ絶縁膜、2 8 … シリコン窒化膜からなるスペーサ、2 9 … N 型の拡散領域、3 0 … N 型の拡散領域、3 1 … P 型の拡散領域、3 2 … 拡散領域、3 3 … シリコン窒化膜、3 4 … シリコン酸化膜、3 5 … シリコン酸化膜からなるスペーサ、3 6 … 金属シリサイド膜、3 7 … シリコン窒化膜、3 8 … シリコン酸化膜からなる層間絶縁膜、3 9 … コンタクトホール、4 0 … コンタクト、4 1 … コンタクトホール、4 2 … コンタクト。

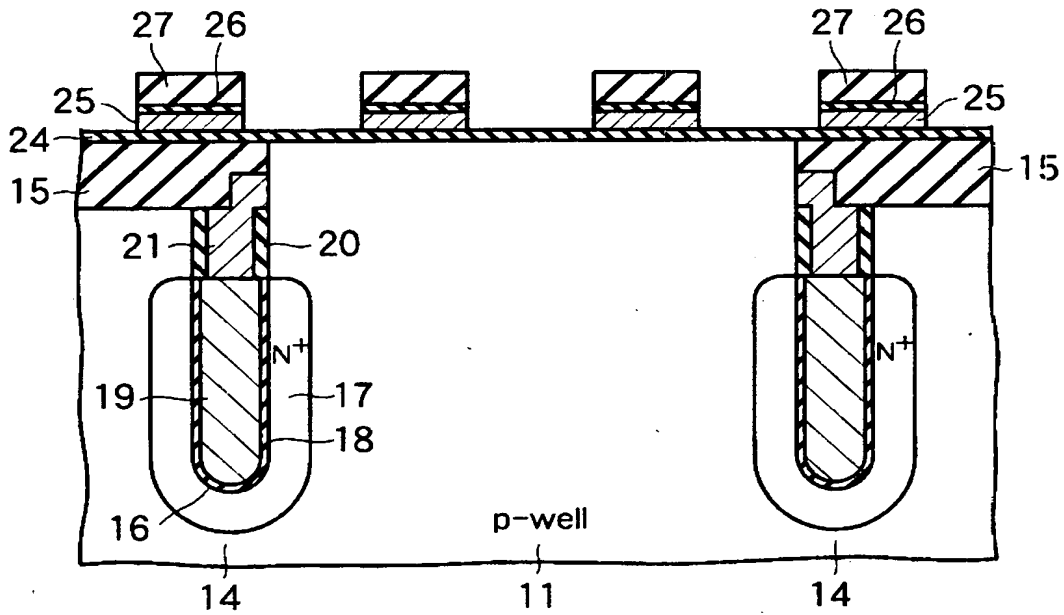
【書類名】 図面

【図 1】

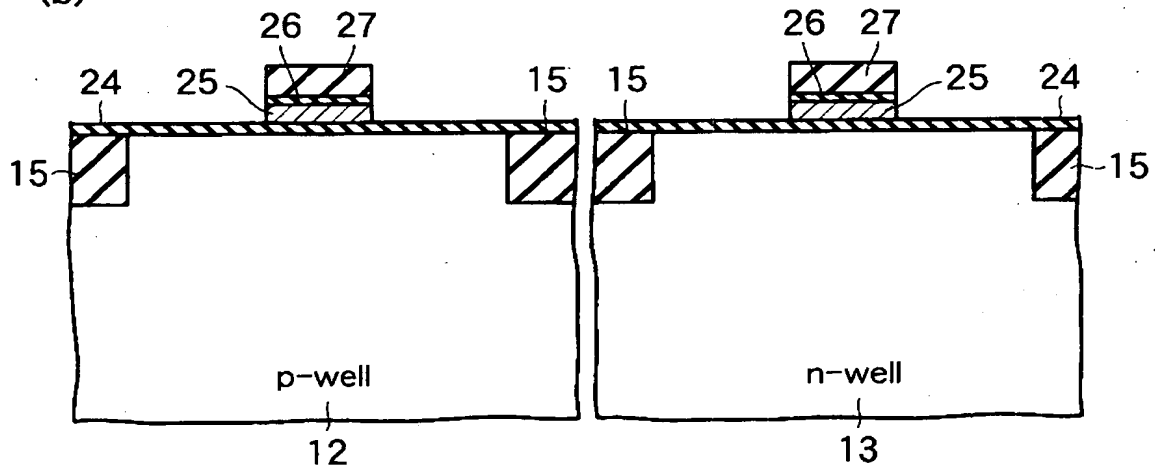


【図 2】

(a)

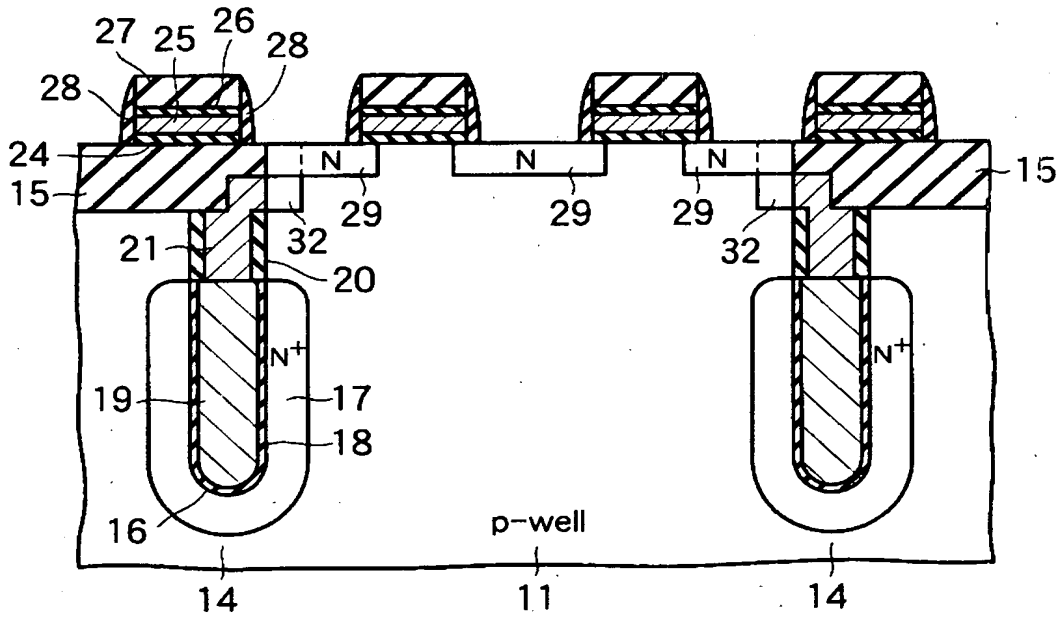


(b)

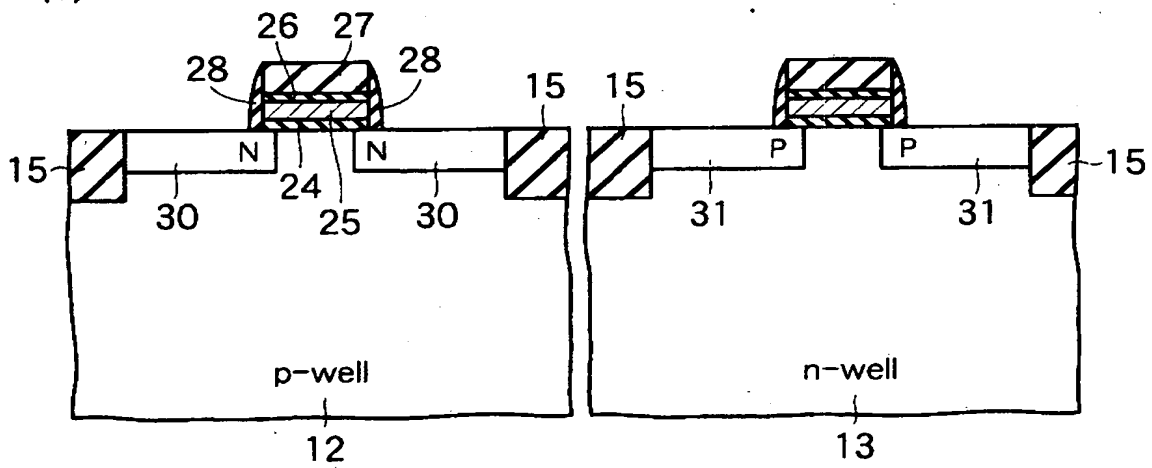


【図 3】

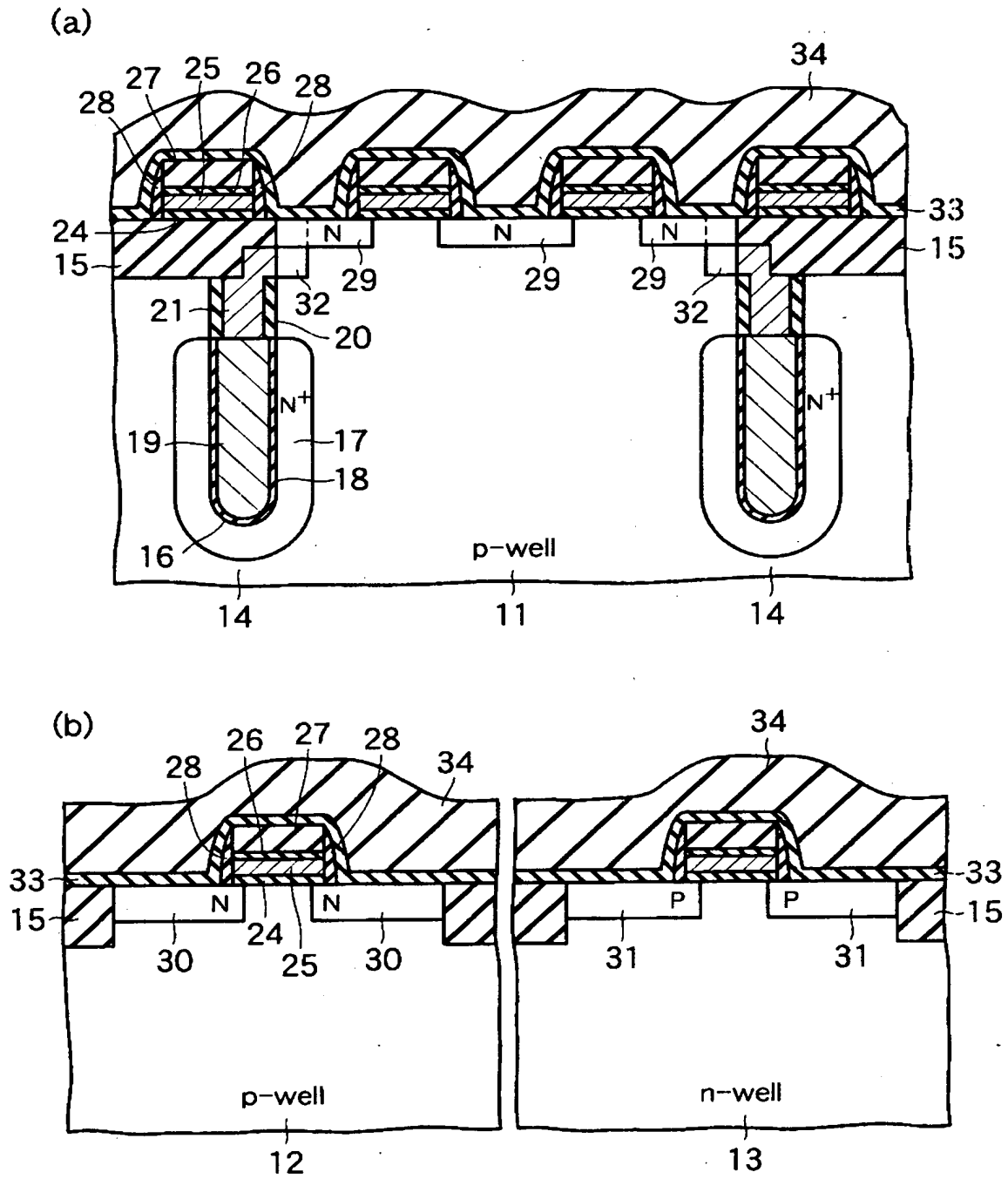
(a)



(b)

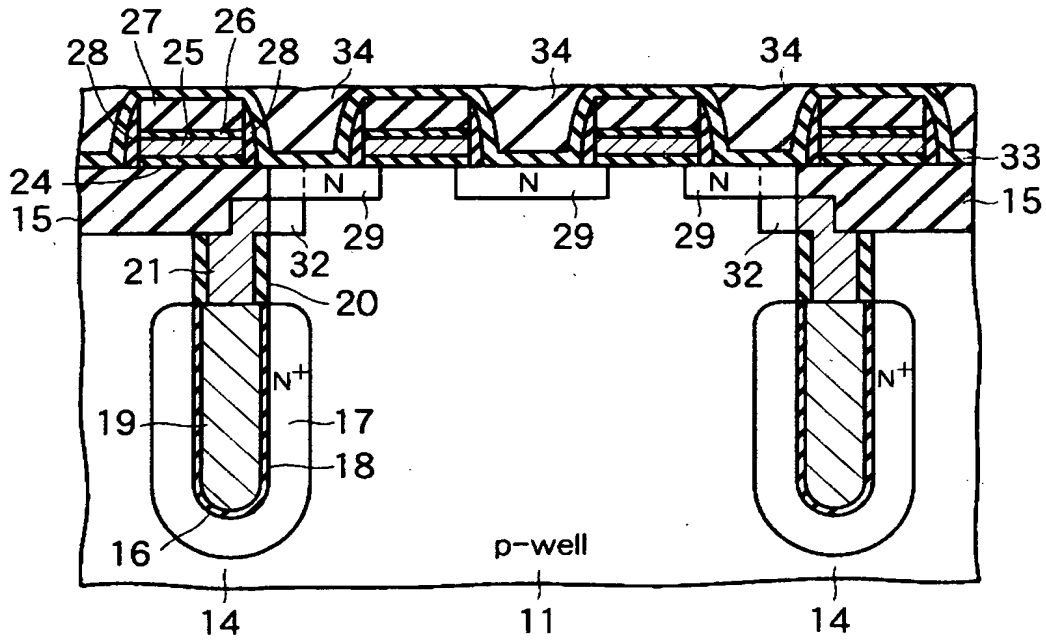


【図4】

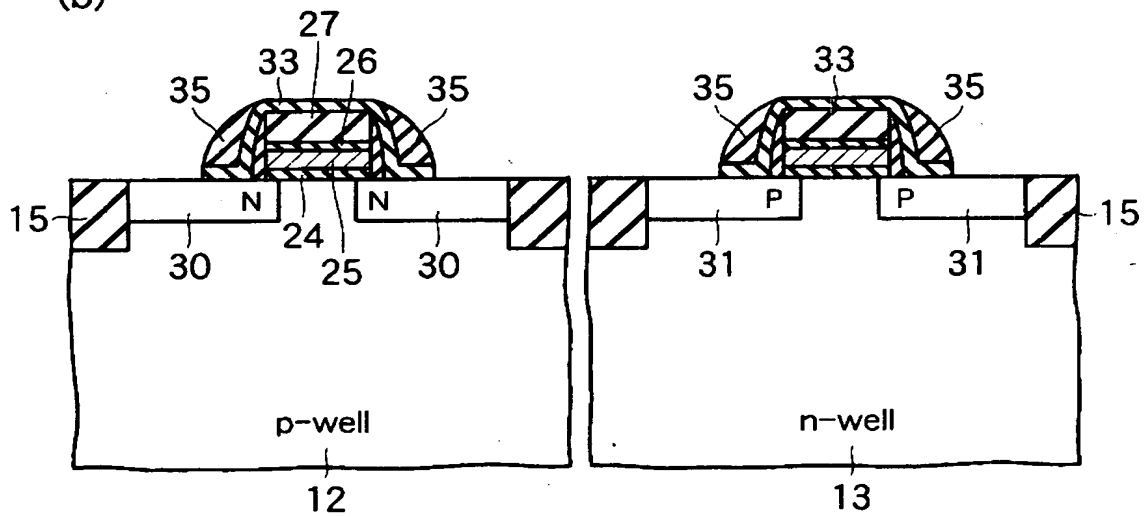


【図 5】

(a)

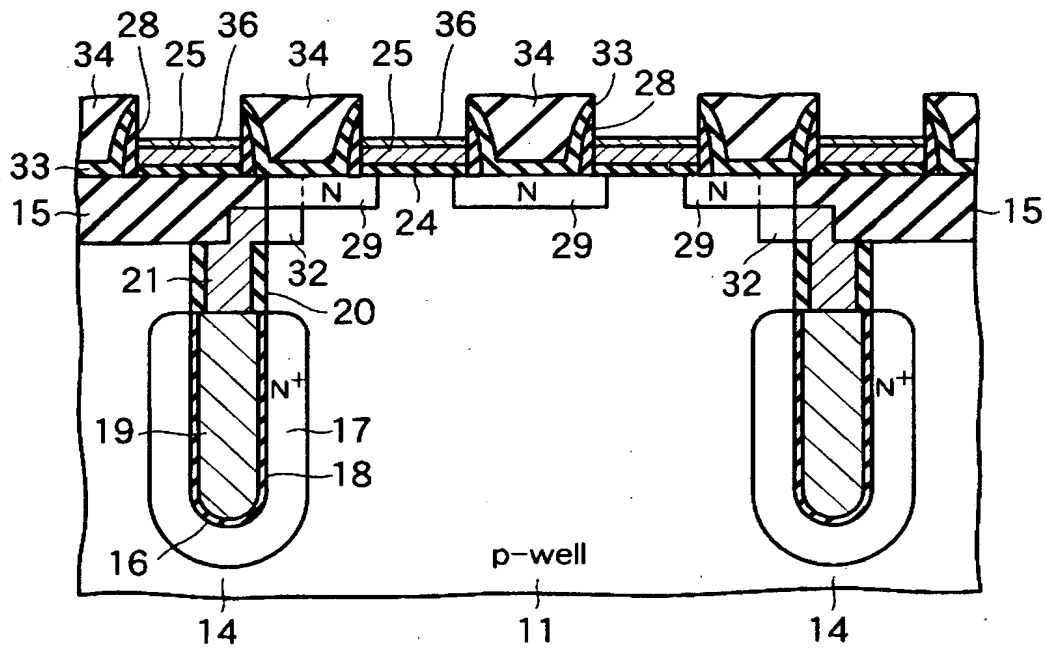


(b)

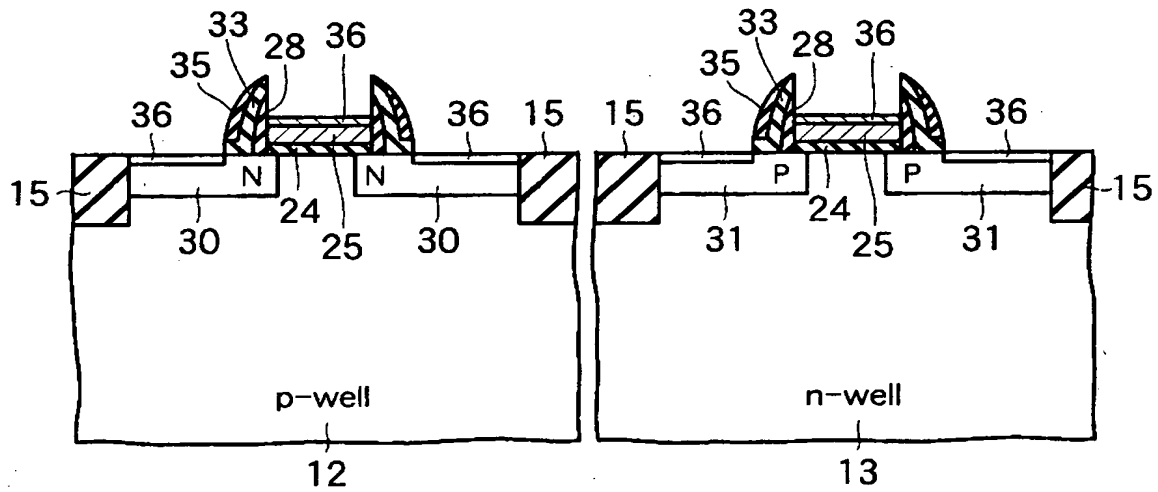


【図 6】

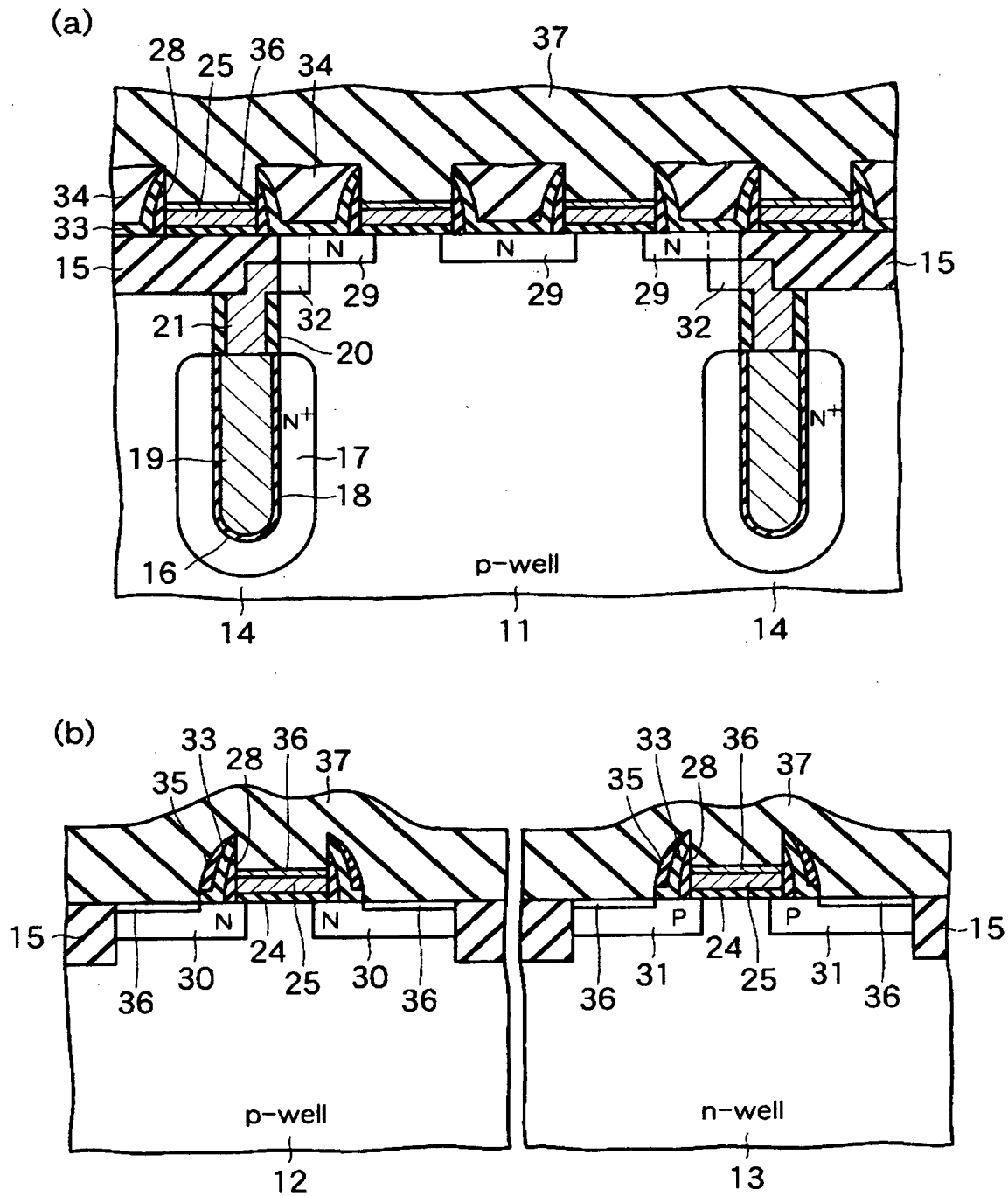
(a)



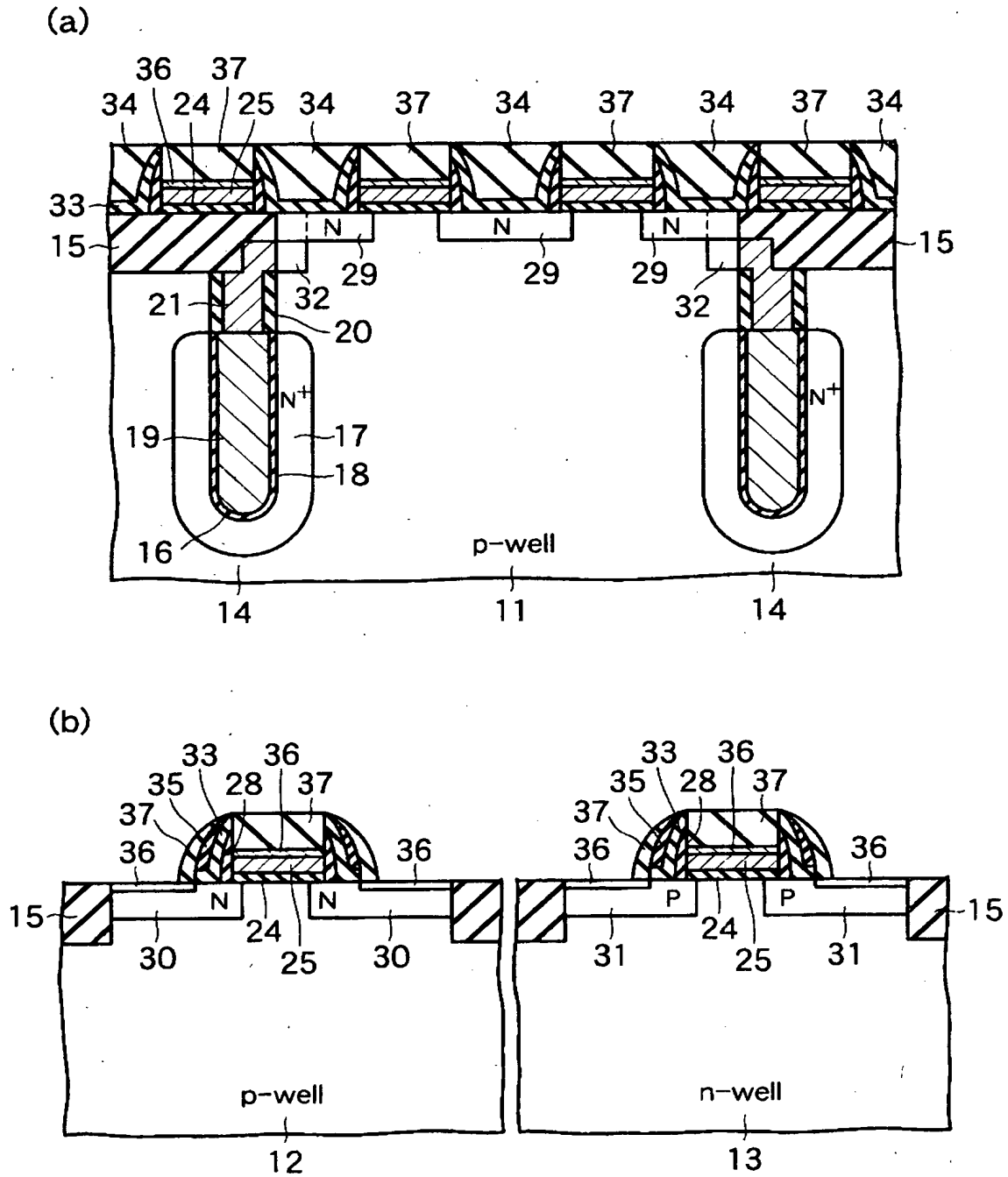
(b)



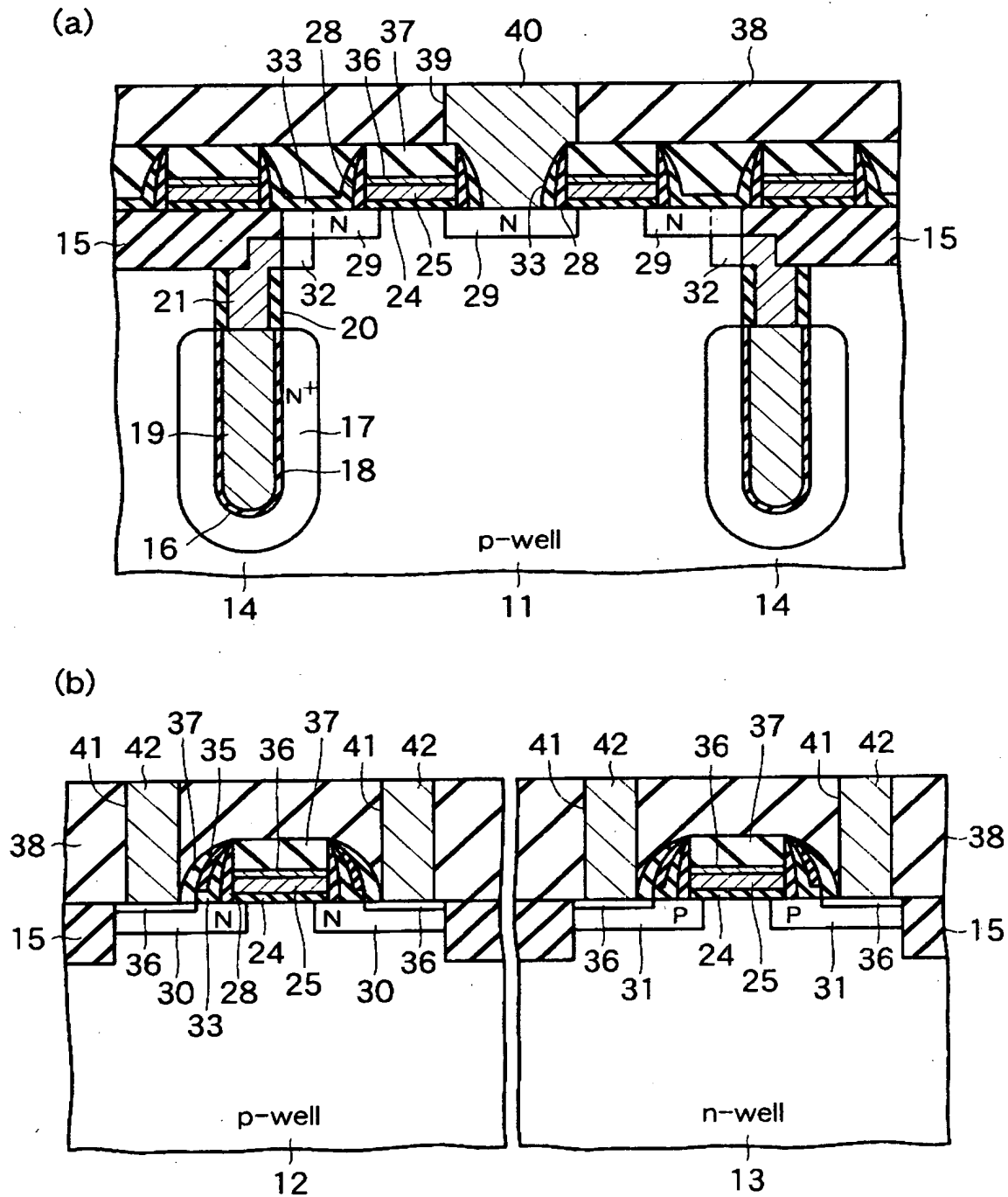
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 ポリシリコンからなるゲート電極上にシリサイドを形成した後、ゲート電極上にシリコン窒化膜を形成し、ゲート電極に対して自己整合的にセルフアラインコンタクトを形成する。

【解決手段】 導電体膜 2 5 及びキャップ絶縁膜 2 7 を順次形成し、キャップ絶縁膜及び導電体膜からなる積層膜をパターニングして、導電体膜からなるゲート電極 2 5 を形成し、ソース、ドレインとなる拡散領域 2 9、3 0、3 1 を形成し、積層膜の側壁上にシリコン窒化膜 2 8 を形成し、全面シリコン窒化膜 3 3 を形成し、シリコン酸化膜 3 4 を堆積し、ゲート電極相互間にシリコン酸化膜 3 4 を残し、積層膜上のシリコン窒化膜 3 3 を剥離し、ゲート電極の上部に残っているキャップ絶縁膜 2 7 を除去し、ゲート電極 2 5 の表面に金属シリサイド膜 3 6 を形成し、シリコン窒化膜 3 7 をゲート電極 2 5 上に残す。

【選択図】 図 9

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝